

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002359402 A

(43) Date of publication of application: 13.12.02

(51) Int. Cl

**H01L 33/00**  
**H01L 21/28**  
**H01L 21/3205**  
**H01L 27/15**

(21) Application number: 2002093914

(22) Date of filing: 29.03.02

(30) Priority: 29.03.01 US 2001 823824

(71) Applicant: LUMILEDS LIGHTING US LLC

(72) Inventor: COLLINS WILLIAM DAVID III  
BHAT JEROME CHANDRA  
STEIGERWALD DANIEL  
ALEXANDER

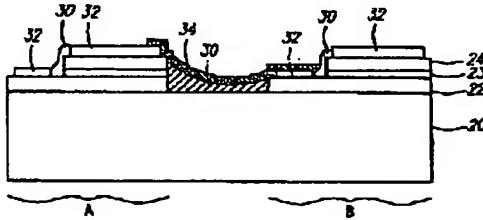
**(54) MONOLITHIC SERIES/PARALLEL LED ARRAY  
FORMED ON HIGHLY RESISTIVE SUBSTRATE**

COPYRIGHT: (C)2003,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a light-emitting device array formed on a highly resistive substrate.

SOLUTION: A series/parallel LED array is so formed on a highly resistive base layer that p- and n-contacts for array are positioned on the same surface of the array. Individual LEDs are separated, electrically, from each other by a trench or ion implantation. An internal connect deposited on the array is connected to the contact of individual LED in the array. In some embodiments, the LED is a III nitride device formed on a sapphire base layer. In one implementation, two LEDs formed on a single base layer are connected in antiparallel, to form a monolithic electrostatic discharge protection circuit. In one implementation, multiple LEDs formed on a single base layer are connected in series. In one implementation, multiple LEDs formed on a single base layer are connected in parallel. In various implementations, a phosphor layer covers a part of a base layer, where one or more individual LEDs are formed.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-359402

(P2002-359402A)

(43)公開日 平成14年12月13日 (2002.12.13)

(51)Int.Cl.<sup>7</sup>  
H 01 L 33/00  
21/28  
21/3205  
27/15

識別記号  
301

F I  
H 01 L 33/00  
21/28  
27/15  
21/88

テーマコード(参考)  
E 4 M 1 0 4  
3 0 1 B 5 F 0 3 3  
Z 5 F 0 4 1  
B

審査請求 未請求 請求項の数20 OL (全 9 頁)

(21)出願番号 特願2002-93914(P2002-93914)  
(22)出願日 平成14年3月29日(2002.3.29)  
(31)優先権主張番号 09/823824  
(32)優先日 平成13年3月29日(2001.3.29)  
(33)優先権主張国 米国(US)

(71)出願人 500507009  
ルミレッズ ライティング ユーエス リ  
ミテッドライアビリティ カンパニー  
アメリカ合衆国 カリフォルニア州  
95131 サン ホセ ウエスト トリンプ  
ル ロード 370  
(72)発明者 ウィリアム ディヴィッド コリンズ ザ  
サード  
アメリカ合衆国 カリフォルニア州  
95127 サン ホセ ケイレン ドライヴ  
3435  
(74)代理人 100059959  
弁理士 中村 稔 (外9名)

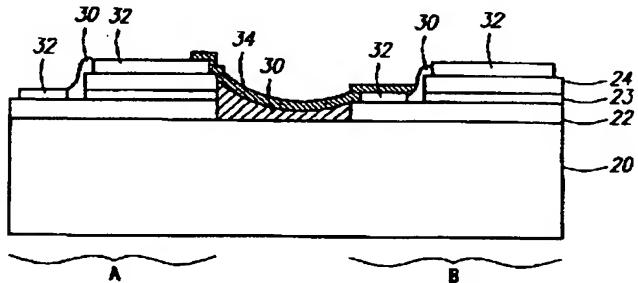
最終頁に続く

(54)【発明の名称】高抵抗性基層の上に形成されたモノリシック直列/並列LEDアレイ

(57)【要約】

【課題】高抵抗性基層に形成される発光デバイスアレイを提供すること。

【解決手段】アレイ用のp及びn型コンタクトが該アレイの同一面に位置するよう直列/並列LEDアレイが高抵抗性基層上に形成される。個別LEDはトレンチ又はイオン注入で電気的に互いに分離される。アレイに堆積させた内部コネクトはアレイにおける個別LEDのコンタクトに接続する。様々な実施形態ではLEDはサファイア基層上に形成されたIII族窒化物デバイスである。一実施形態では、单一の基層上に形成された2つのLEDは逆並列接続され、モノリシック蓄電放電保護回路を形成する。一実施形態では单一の基層に形成された多数のLEDは直列接続される。一実施形態では单一の基層上に形成された多数のLEDは並列接続される。様々な実施形態では、蛍光体層が、1以上の個別LEDが形成される基層の一部を覆う。



## 【特許請求の範囲】

【請求項1】 高抵抗性基層の上に形成された発光デバイスアレイであって、前記基層の第1部分の上に形成された第1n型層と、該第1n型層の上に形成された第1活性領域と、該第1活性領域の上に形成された第1p型層と、前記第1n型層に接続された第1n型コンタクトと、前記第1p型層に接続された第1p型コンタクトと、を備えた第1発光デバイスであって、前記第1n型コンタクトおよび前記第1p型コンタクトが該デバイスの同一面に形成される第1発光デバイスと、

前記基層の第2部分の上に形成された第2n型層と、該第2n型層の上に形成された第2活性領域と、該第2活性領域の上に形成された第2p型層と、前記第2n型層に接続された第2n型コンタクトと、前記第2p型層に接続された第2p型コンタクトと、を備えた第2発光デバイスであって、前記第2n型コンタクトおよび前記第2p型コンタクトが該デバイスの同一面に形成される第2発光デバイスと、

前記第1発光デバイスと前記第2発光デバイスとを分離する、トレンチおよびイオン注入領域のうちの一方と、前記第1n型コンタクトおよび前記第1p型コンタクトのうちの一方を、前記第2n型コンタクトおよび前記第2p型コンタクトのうちの一方に接続する、第1内部コネクトと、を具備することを特徴とするアレイ。

【請求項2】 前記第1および第2n型層、前記第1および第2活性領域、ならびに、前記第1および第2p型層は、III族窒化物層を含むことを特徴とする請求項1に記載のアレイ。

【請求項3】 前記基層は、サファイア、SiCおよびIII族窒化物材料を含む群より選択されることを特徴とする請求項1に記載のアレイ。

【請求項4】 前記第2p型コンタクトを前記第1n型コンタクトに接続する第2内部コネクトを具備し、前記第1内部コネクトは、前記第1p型コンタクトを前記第2n型コンタクトに接続することを特徴とする請求項1に記載のアレイ。

【請求項5】 前記第1および第2内部コネクトの一部の下にある誘電体層を具備することを特徴とする請求項4に記載のアレイ。

【請求項6】 前記第1発光デバイスおよび前記第2発光デバイスは直列接続される請求項1に記載のアレイ。

【請求項7】 前記第1発光デバイスおよび前記第2発光デバイスは並列接続される請求項1に記載のアレイ。

【請求項8】 前記第1n型層とは逆の側にある前記基層の前記第1部分の表面を覆う蛍光体層を具備することを特徴とする請求項1に記載のアレイ。

【請求項9】 前記第1n型層および前記第2n型層の下にあり、かつ、前記トレンチの底面を形成する高抵抗性層を具備することを特徴とする請求項1に記載のアレ

イ。

【請求項10】 前記基層の第3部分の上に形成された第3n型層と、該第3n型層の上に形成された第3活性領域と、該第3活性領域の上に形成された第3p型層と、前記第3n型層に接続された第3n型コンタクトと、前記第3p型層に接続された第3p型コンタクトとを備えた第3発光デバイスであって、前記第3n型コンタクトおよび前記第3p型コンタクトが該デバイスの同一面に形成される第3発光デバイスと、

10 前記基層の第4部分の上に形成された第4n型層と、該第4n型層の上に形成された第4活性領域と、該第4活性領域の上に形成された第4p型層と、前記第4n型層に接続された第4n型コンタクトと、前記第4p型層に接続された第4p型コンタクトとを備えた第4発光デバイスであって、前記第4n型コンタクトおよび前記第4p型コンタクトが該デバイスの同一面に形成される第4発光デバイスと、

前記第1n型コンタクトを前記第3p型コンタクトに接続する第2内部コネクトと、

20 前記第2n型コンタクトを前記第4p型コンタクトに接続する第3内部コネクトと、

前記第3n型コンタクトを前記第4n型コンタクトに接続する第4内部コネクトと、を具備し、

トレンチおよびイオン注入領域のうちの一方が、前記第1、第2、第3および第4発光デバイスを互いに分離し、

前記第1内部コネクトが前記第1p型コンタクトを前記第2p型コンタクトに接続することを特徴とする請求項1に記載のアレイ。

30 【請求項11】 高抵抗性基層の上に形成されたIII族窒化物発光デバイスのアレイであって、前記基層の上に形成された第1伝導型層と、

該第1伝導型層の上に形成された複数の活性領域であって、該複数の活性領域のそれぞれの下にあるエリアが前記第1伝導型層の一部により囲まれ、かつ、前記第1伝導型層の部分が前記複数の活性領域における各活性領域の下にあるエリアを間に挟むように設けられた、複数の活性領域と、

該複数の活性領域の上に設けられた複数の第2伝導型層と、

40 前記第1伝導型層に接続された第1コンタクトと、前記複数の第2伝導型層に接続された複数の第2コンタクトと、を具備することを特徴とするアレイ。

【請求項12】 前記第1コンタクトは、前記複数の活性領域における各活性領域の下にあるエリアを囲むことを特徴とする請求項11に記載のアレイ。

【請求項13】 前記第1伝導型層は、Siを用いてドーピングされたGaNを含むことを特徴とする請求項11に記載のアレイ。

50 【請求項14】 前記複数の第2伝導型層は、Mgを用

(3)

特開2002-359402

4

3

いてドーピングされたAlGaNを含むことを特徴とする請求項11に記載のアレイ。

【請求項15】前記複数の第2コンタクトは銀を含むことを特徴とする請求項11に記載のアレイ。

【請求項16】前記第1コンタクトはAlを含むことを特徴とする請求項11に記載のアレイ。

【請求項17】前記第1コンタクトはAgを含むことを特徴とする請求項11に記載のアレイ。

【請求項18】前記基層は、サファイア、SiCおよびIII族窒化物材料を含む群より選択されることを特徴とする請求項11に記載のアレイ。

【請求項19】前記複数の活性領域の1つの下にある前記基層の表面の一部を覆う蛍光体層を具備し、前記表面が前記第1伝導型層と逆の側にあることを特徴とする請求項11に記載のアレイ。

【請求項20】高抵抗性基層の上に発光デバイスアレイを形成する方法であって、

前記基層の上にn型層を形成する工程と、

前記n型層の上に活性領域を形成する工程と、

前記活性領域の上にp型層を形成する工程と、

前記n型層、前記活性領域および前記p型層の一部をエッティングにより除去して、第1デバイスと第2デバイスとを分離するトレンチを形成する工程と、

前記p型層ならびに前記第1および第2デバイスのそれぞれの上の前記活性領域の一部をエッティングにより除去して、前記n型層の一部を露光する工程と、

前記第1および第2デバイスの前記p型層の上に第1および第2p型コンタクトを設ける工程と、

前記第1および第2デバイスの前記n型層の上に第1および第2n型コンタクトを設ける工程と、

前記第1n型コンタクトおよび前記第1p型コンタクトの一方を前記第2n型コンタクトおよび前記第2p型コンタクトの一方に接続する、内部コネクトを堆積させる工程と、を具備することを特徴とする方法。

#### 【発明の詳細な説明】

##### 【0001】

【従来の技術】GaAsのような従来の発光ダイオード(LED)材料は、モノリシックで製作された際、単一接合(single junction)または多重並列接合(multiple parallel junction)を有する構造をもたらしてきた。図1Aは、典型的な多重並列接合LEDアレイ10を示す。共通のn型領域の上に数個のp型領域13を成長させる。n型コンタクトはn型領域18に接続し、数個のp型コンタクト14はp型領域13に接続する。このデバイスは、n型領域18を基層12の上に形成した後このn型領域の上に連続的なp型層を形成することにより、製作される。この後、p型領域13間にトレンチ15を機械的に切削することによりまたは化学的にエッティングすることにより、p型層は、別個の領域に分割される。図1Bは、別の多重並列接合LEDアレイ16を

示す。機械的に切削(sawing)することまたは化学的にエッティングすることに代えて、p型領域13は、拡散(diffusion)により電気的に互いに分離される。

##### 【0002】

【発明が解決しようとする課題】デバイスの両面にコンタクトを用いる場合には1つの共通した伝導層、すなわち、n型層またはp型層が必要となるので、図1Aおよび図1Bに示したモノリシック(monolithic)アレイは、図2に示す並列構成に限定される。

##### 【0003】

【課題を解決するための手段】本発明によれば、直列または並列LEDアレイは、このアレイのためのp型コンタクトおよびn型コンタクトがともに、このアレイにおける同一面に存在するように、絶縁基層または高抵抗性基層に形成される。個別のLED(個別LED)は、トレンチによりまたはイオン注入(ion implantation)により、互いに電気的に分離される。アレイ上に堆積させた内部コネクト(interconnect)は、アレイにおける個別LEDのコンタクトと接続する。いくつかの実施形態では、LEDはサファイア基層の上に形成されるIII族窒化物デバイスである。一実施形態では、III族窒化物デバイスは、高抵抗性のSiCまたはIII族窒化物の基層の上に形成される。一実施形態では、单一基層の上に形成された2つのLEDは、逆並列で接続されて、モノリシック静電放電保護回路を形成する。一実施形態では、单一基層の上に形成された多数のLEDは直列に接続される。直列アレイは、同一エリアを占める单一LEDに比べて、より高い電圧で動作しうるので、電源デザインを簡素化することができる。一実施形態では、单一の基層に形成した多数のLEDは、並列に接続される。この実施形態では、n型領域が、p型領域のそれぞれを囲みかつこれらp型領域を間に挟むように、多数のp型領域が单一のn型領域に形成される。いくつかの実施形態では、蛍光体層が、1つ以上の個別LEDが形成される基層の一部を覆う。

##### 【0004】

【発明の実施の形態】可視スペクトル全域での動作が可能な高輝度発光ダイオード(LED)の製造において現在関心が持たれている材料システムは、III-V族半導体、特にIII族窒化物材料ともよばれるガリウム、アルミニウム、インジウムおよび窒素の二元合金、三元合金および四元合金である。本明細書で引用するIII族半導体層は、一般式 $Al_xGa_{1-x}N$ ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$ )により表現される化合物であり、この化合物は、さらにホウ素およびタリウムのようなあるIII族の元素を含み、この化合物では窒素のいくつかを、リン、砒素またはアンチモンで置き換えることができる。一般的には、有機金属化学気相成長法(MOCVD)、分子線エピタキシー(MBE)またはその他のエピタキシャル技術によって、サファイア、

炭化珪素または窒化ガリウムの基層の上に、III族窒化物デバイスを成長させる。その広範な有用性 (availability) および使い易さから、サファイアの基層が用いられることが多い。サファイアは絶縁体である。Kramesらの発明について、1999年12月22日に出願され「増大した光生成性能を有するIII族窒化物発光デバイス ("III-Nitride Light Emitting Device with Increased Light Generating Capability")」と題された特許出願第09/469,657号は、低い光学吸収を有する高屈折率の基層上にIII族窒化物発光デバイスを成長させることを開示している。なお、この特許出願の内容は、引用により本明細書に含められる。これらの基層については、炭化珪素 (SiC) またはIII族窒化物材料とすることができます、これらの基層は、その低い不純物含有量に起因して高い電気的抵抗を有する。絶縁性基層または高抵抗性基層上に成長させたIII族窒化物デバイスは、該デバイスにおける同一面上にエピタキシャル成長させた半導体に対して正極および負極の電気的コンタクトを有していない。これに対して、図1Aおよび図1Bに示したような伝導性の基層上に成長させた半導体デバイスは、一般的には、一方の電気的コンタクトをエピタキシャル成長材料上に形成し、かつ、他方の電気的コンタクトを基層上に形成するように製作される。

【0005】絶縁性基層または高抵抗性基層を用いれば、個別LED間にトレンチまたはイオン注入領域を形成して個別LEDを電気的に分離することにより、III族窒化物モノリシックLEDアレイを製作することができる。図3～図7は、本発明の一実施形態にかかるIII族窒化物モノリシックLEDの製作を示す。図3において、例えばSi、GeまたはOを用いてドーピングされたGaNのn型層22が、高抵抗性の基層20に重ねて形成される。この後、例えばInGaNの活性層23が、n型層22に重ねて形成され、最後に、例えばZn、Mg、Be、CaまたはCdを用いてドーピングされたAlGaNのp型層24が、活性層23に重ねて形成される。層22、23および24は、実際には、異なる組成およびドーパント濃度を有する数個のサブ層を含みうるが、これらのサブ層については簡略化のために省略する。n型層22は、例えば、核化層、高抵抗性のGaN層（例えば意図せずにドーピングされたGaN層）、n型に少なくドーピングされた層、さらに多くドーピングされたn型層を含みうる。活性層23は、例えば、多重量子井戸構造を有しうる。

【0006】図4において、n型層22、活性層23およびp型層24の一部がエッティングにより除去されて、トレンチ26が形成される。用いるエッティングについては、例えば、BCl<sub>3</sub>のような塩素を含有する腐食液を用いた反応性イオンエッティングとすることができる。トレンチ26は、該トレンチのいずれの側にある半導体層

を電気的に分離するのに十分幅広いものである。トレンチ26は、意図せずにドーピングされたGaN層のようなn型層22の下にある基層または高抵抗性の層にまで、エッティングされる。同様に、高抵抗性を有すべき介在 (intervening) 材料を溶かすことができるイオン注入処理を用いることにより、隣接するLEDを電気的に分離することができる。この後、残存している半導体材料の各島におけるp型層24および活性層23の一部が、例えば反応性イオンエッティングを用いて図5に示すようにエッティングにより除去される。第2のエッティングによって、n型層22の上の棚 (ledge) 28が露光される。最終的には、この棚にn型コンタクトが形成される。

【0007】図6を参照するに、デバイスの上に誘電体材料30を露光することにより、n型コンタクト形成のための棚が電気的に分離される。この後、誘電体がパターン化されところどころ除去されて、n型層22およびp型層24にコンタクト穴が開けられる。よって、基層上の個別LED間にあるトレンチ26、および、各LEDにおける露光されたp型層とn型層との間にあるメサ壁 (mesa wall) に、誘電体30が残される。誘電体30は、例えば、珪素酸化物 (oxides of silicon)、珪素窒化物 (nitrides of silicon)、珪素酸窒化物 (oxy nitrides of silicon)、酸化アルミニウム (aluminum oxide)、または、その他任意の好適な誘電体材料とすることができる。

【0008】図7Aおよび図7Bは、完成した直列LEDアレイの2つの例を示す。図7Aは、アレイにおけるLEDがトレンチにより分離されているデバイスを示す。図7Bは、アレイにおけるLEDがイオン注入領域301により分離されているデバイスを示す。電極材料を堆積しパターン化して、p型およびn型コンタクト32が形成される。n型コンタクトのための典型的なコンタクト材料はAlまたはTi-A1であり、p型コンタクトのための典型的なコンタクト材料はAg、Au、Ni、Ptまたはこれらの合金である。コンタクト32については、光がエピタキシャル層の表面を介して抽出されるデバイスにおけるもののように、透明性なものとすることができ、または、光が基層を介して抽出されるフリップチップデバイスにおけるもののように、反射性なものとすることができる。コンタクトを堆積およびパターン化させた後、接続されていない発光ダイオードのアレイが单一の基層上に形成される。同一の最終的構造を作りあげるためにその他の処理フローを用いることができる。この後、多くの様々な配列がなされたLEDが接続される。

【0009】この後、デバイス上における個別LEDを接続するための内部コネクト (interconnect) 34を堆積させる。内部コネクト34については、例えば、Al、Cu、Au、Ag、または、AlSiCuのような

7  
合金とすることができます。p型およびn型コンタクト3・2は、半導体層に対するオームコンタクトを形成するよう最適化された材料であるが、内部コネクト3・4は、厚い材料であり、かつ、電流を伝えるよう最適化された高伝導性の材料である。透明なコンタクトを介してデバイスから光が抽出されるのであれば、内部コネクトに吸収される光の量を最小化すべくできるだけコンタクトの障害とならないように、内部コネクトを堆積せざる。図7Aおよび図7Bに示した2つのLEDは、LED-Bのn型コンタクトをLED-Aのp型コンタクトに接続するように、直列に接続される。明らかであるように、金属性の内部コネクト3・4については、多くの様々な配置がなされたモノリシックアレイのLEDを接続するように堆積させることができる。

【0010】一実施形態では、図8Aおよび図8Bに示すように、4つのLEDの直列アレイは、釣り合いのとれた正方形(balanced square)の配置となるように形成されている。図8Bは、正方形アレイにおいて直列接続された4つのLEDの回路図を示す。図8Aは、図8Bの一実施形態についての平面図を示す。製作後、アレイは、製作された後、実装アレイから光を出す光学機に実装されるので、LEDアレイの最大寸法を最小化することが望ましい。光学機は、一般的には、光源のサイズとともに幾何学的に大きくなる。

【0011】図8Aに示すアレイは、図3～図7Aで上述したような個別LED間にトレンチ80を形成するためにIII族窒化物材料を除去するためのエッティングにより電気的に分離された、4つの直列接続されたLEDを有する。エッティングは、意図せずにドーピングがなされたGaN層のような、高抵抗性のIII族窒化物層にまで少なくとも行われる。電気的な内部接続は、金属性トレース(trace)81により設けられる。結果として得られるデバイスは、図8Bに示す電子回路により表現される。よって、このデバイスは、同一の活性領域面積を有する単一LEDに比べて、4倍の電圧で動作し、1/4の電流で動作する。例えば、1mm<sup>2</sup>のIII族窒化物LEDは、3.0V、350mAで動作することができる。図8Aに示すような4つの直列内部接続されたLEDに分割された、この同一の活性接合エリアによって、デバイスは、12.0V、87.5mAで動作することができる。このより高い電圧およびより低い電流での動作によって、LEDアレイのための電子駆動回路がほとんど不要となる。実際には、電子駆動回路は、より高い効率、より高い電圧で動作しうるので、LED発光システムの全体的な効率を向上させることができる。本実施の形態にかかるモノリシックデバイスは、個別LEDダイを直列に設置する従来の手法よりも好ましい。従来の手法では、LEDダイが占める全体面積は、ダイ設置マシン(die-attach machine)により必要とされる公差(tolerance)に起因して増大する。これにより、不本意に

も、LED全体の光源サイズが増加し、ひいては、LEDシステムにおける光学機のサイズを大きくする必要がでてくる。好ましい実施形態では、電気的分離のためのトレンチエッチングまたはイオン注入によって、ダイオード同士をできるだけ近接させて配置することができる。トレンチ領域またはイオン注入領域の幅については数μm程度とすることができる、これにより、本実施形態におけるダイオードの実装密度が非常に大きくなりうる。

10 【0012】本発明によれば、LEDのモノリシック直列アレイによって、いくつかの効果を得ることができる。第1に、モノリシックアレイは、サブマウントのような外部回路に対する接続数を削減する。光が透明コンタクトを介してデバイスのエピタキシャル面から抽出されるようにデバイスを形成すれば、外部回路に対する接続数を削減することは、デバイスのより大きな面積から光が抽出されることを意味する。このようなデバイスでは、LEDは、ワイヤボンドによって外部回路に接続される。このワイヤボンドは、LEDダイから通常であれば抽出される光を部分的に覆う。内部コネクトは、一般的には、このように抽出される光を覆うことを著しく最小限にまで抑える。デバイスがフリップチップであれば、サブマウントに対するコンタクトが非常に少ないということは、このデバイスは光を生成する活性領域をより多く有することができるということを意味する。第2に、上述したように、モノリシック直列アレイは、単一の個別LEDに比べて高い電圧で動作する。動作電圧を高くすることにより、LEDアレイを駆動する電源のデザインを簡略化することができる。

20 30 【0013】図9Aおよび図9Bは、釣り合いのとれた正方形(balanced square)の直列/並列LEDアレイを示す。図9Bは、直列接続された2つのLEDの2つの並列ストリングとして接続された4つのLEDについての回路図を示す。図9Aは、図9Bの一実施形態の平面図を示す。このような直列/並列アレイは、図3～図7Aを参照して上述したように形成される。

【0014】図10は、2つのダイオードが逆並列(antiparallel)配置となるように接続された、静電放電(ESD)保護回路を示す。第1のLEDは、第2のLEDにおける反転絶縁破壊(reverse breakdown)をクランピングする。図11および図12は、モノリシックESD保護回路の一実施形態40を示す。構造Aおよび構造Bが高抵抗性基層20の上に形成される。一方の構造Aは、光を生成するLEDとして接続されるが、他方の構造Bは、LED-Aにおける反転絶縁破壊をクランピングするために用いられる。p型層41aおよび41bは、活性領域49aおよび49bの上に形成され、これら活性領域49aおよび49bは、n型層42aおよび42bの上に形成される。トレンチ43は、デバイスAとデバイスBとの間に形成される。n電極45aおよ

び45bがトレンチ43を隔てて互いに向き合うよう  
に、n型層42aおよび42b上にコンタクトを形成す  
るための棚（ledge）が露光される。誘電体層47は、  
p型層とn型層とを電気的に分離する。LED-Aのp  
型コンタクトがクランピング（clamping）デバイスBの  
n型コンタクトに接続されるように、p電極44aとn  
電極45bとが内部コネクト46aにより接続される。  
内部コネクト46を堆積させた領域では、LED-Aの  
n型コンタクトは、図12に示すように、誘電体層47  
によって内部コネクト46aと分離される。図11に示  
すように、LED-Aのp型コンタクトとクランピング  
デバイスBのn型コンタクトとの間の内部コネクトは、  
デバイスにおける一方の面に形成され、LED-Aのn  
型コンタクトとクランピングデバイスBのp型コンタク  
トとの間の内部コネクトは、デバイスにおける他方の面  
に形成される。この後、本構造は、はんだバンプ（bum  
p）またはワイヤボンドによって、サブマウントまたは  
その他の構造（図示しない）に接続されうる。

【0015】図11および図12は、クランピングデバ  
イスがLEDと同一のサイズであるような構造を示す。  
クランピングデバイスは、通常の動作環境では発光しな  
いので、クランピングデバイスのサイズについてはLE  
Dに関連して削減することができる。一実施形態では、  
クランピングデバイスのためのp-n接合をはんだバン  
プまたはワイヤボンドの下に形成することができるの  
で、有用な発光領域が失われることはない。別の実施形  
態では、2つの逆並列ダイオードのサイズは略等しく、  
かつ、交流電流源を用いてデバイスを動作させることができ  
る。

【0016】並列LEDアレイを高抵抗性基層の上に形  
成することも可能である。図13および図14は、この  
ようなアレイの一実施形態を示す。3つのp型領域9  
0、91および92は、これらのp型領域を間に挟む單  
一の連続したn型領域93によって互いに分離されてい  
る。p型層24の上に堆積させたp型コンタクト32b  
およびn型層22の上に堆積させたn型コンタクト32  
aは、はんだバンプ95によってサブマウント（図示し  
ない）に接続する。このサブマウントは、制御回路、ま  
たは、各p型領域と個別に連絡をとる適切な接続物を含  
むことができる。このような実施形態では、各LEDを  
他のLEDとは別個に動作させることができる。

【0017】n型領域が單一のp型領域の一部分を間に  
挟むような單一LEDが、「増大した光生成能力を有す  
るIII族窒化物発光デバイス（"III-Nitride Light-Emit  
ting Device with Increased Light Generating Capabil  
ity"）」と題された、Kramesらの発明について1999  
年12月22日出願の特許出願第09/469,657  
号に開示されている。Kramesらのデバイスは、図14に  
示すように、n型コンタクト93の上部平面部分96、  
および、上部にあるn型コンタクト上の2つのはんだバ

ンプがない。この結果、下部にある2つのn型コンタク  
トははんだバンプからの電流は、n型コンタクト93にお  
ける垂直アーム97の最上部分には容易には広がらな  
い。実際には、n型コンタクト材料に対する電気移動法  
では、かかるデバイスのn型コンタクトにおける垂直部  
分への電流の流れをすべて遮るかもしれない。これに対  
して、図14に示した対称並列接合（symmetrical para  
llel junction）デバイスは、電流の流れおよび増加した  
重複性を実現するための方法をより多く提供する。n型  
コンタクトの上部平面アーム96は、垂直アーム97の  
上面での「行き詰まり（dead end）」を除去するので、  
n型コンタクト93のあらゆる部分に電流が容易に広が  
りうる。

【0018】図15に示すように、直列または並列いづ  
れかのモノリシックアレイのLEDにおける1つ以上の  
個別LEDを蛍光体で覆うことにより、LEDが発する  
光の色を変化させることができる。フリップチップデバ  
イスでは、アレイにおける單一LEDが形成される基層  
の一部の底面に、蛍光体コーティング100をプリント  
する。フリップチップデバイスの基層に蛍光体コーティ  
ングを付与する1つ方法が、引用することにより本明細  
書に含められる、Loweryの発明について「発光ダイオ  
ード上のステンシル蛍光体層（"Stenciling Phosphor Lay  
ers on Light Emitting Diodes"）」と題して2000  
年10月13日に出願された特許出願第09/688,  
053号において、さらに詳細に記載されている。モノ  
リシックアレイにおけるいくつかのLEDの上に蛍光体  
コーティングを付与することにより、LEDアレイは様  
々な色の光を同時に生成することができる。このよう  
なアレイは、複数の色を混ぜて白色光を生成するときには  
有用となりうる。選択的に蛍光体を配置して接続された、  
個別に利用可能な（addressable）並列LEDを組み込  
んだLEDアレイについて、色調整可能なLEDアレイ  
を製作することができる。

【0019】本発明の特定実施形態を説明してきたが、  
本発明から逸脱することなく本発明のより広い態様にお  
いて変更および変形を施すことが可能であることは、当  
業者にとって自明であり、したがって、別記請求項は、  
該請求項の範囲内において、本発明の思想および範囲内  
に含まれるそういった変形および変更をすべて包含すべ  
きものである。

#### 【図面の簡単な説明】

【図1A】典型的な多重並列接合LEDアレイを示す図

【図1B】典型的な多重並列接合LEDアレイを示す図

【図2】並列LEDアレイの回路図

【図3】各製作段階における本発明にかかる直列LED  
の実施形態を示す図

【図4】各製作段階における本発明にかかる直列LED  
の実施形態を示す図

【図5】各製作段階における本発明にかかる直列LED

の実施形態を示す図

【図6】各製作段階における本発明にかかる直列LEDの実施形態を示す図

【図7A】直列LEDアレイの一実施形態を示す図

【図7B】直列LEDアレイの一実施形態を示す図

【図8A】直列LEDアレイの一実施形態の平面図

【図8B】直列LEDアレイの回路図

【図9A】直列/並列LEDアレイの平面図

【図9B】直列/並列LEDアレイの回路図

【図10】1組の逆並列LEDの回路図

【図11】モノリシックESD保護構造の一実施形態の平面図

【図12】図11に示した構造の断面を示す図

【図13】並列LEDアレイの断面を示す図

【図14】図13に示した構造の平面を示す図

【図15】個別LEDの1つを蛍光体が覆うモノリシックLEDアレイを示す図

【符号の説明】

20 基層

22 n型層

23 活性層

24 p型層

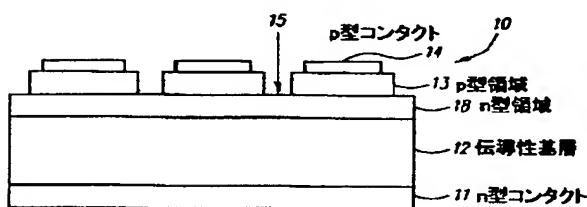
10 30 誘電体材料

32 コンタクト

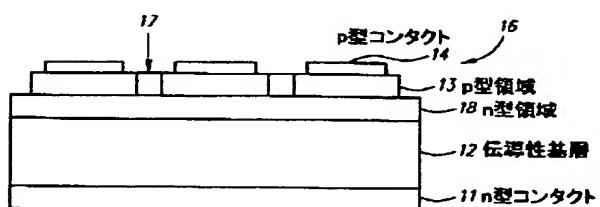
34 内部コネクト

301 イオン注入領域

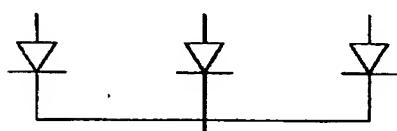
【図1A】



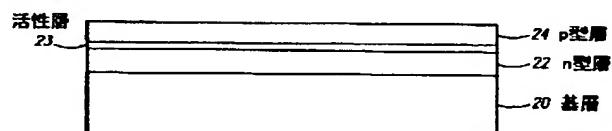
【図1B】



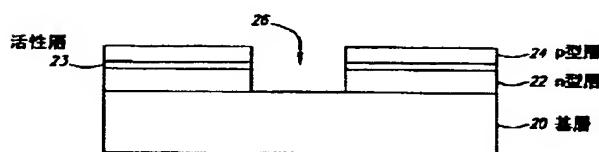
【図2】



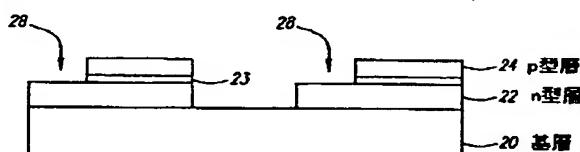
【図3】



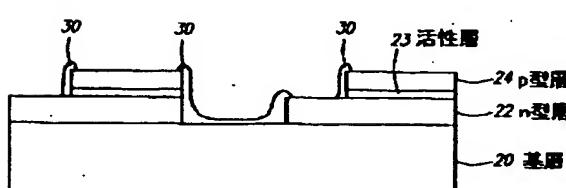
【図4】



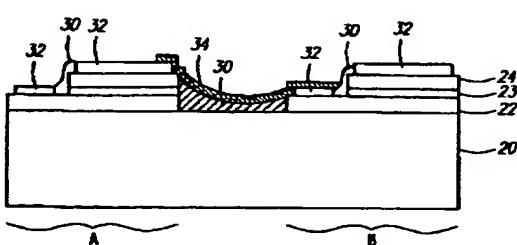
【図5】



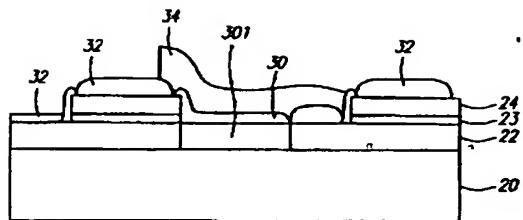
【図6】



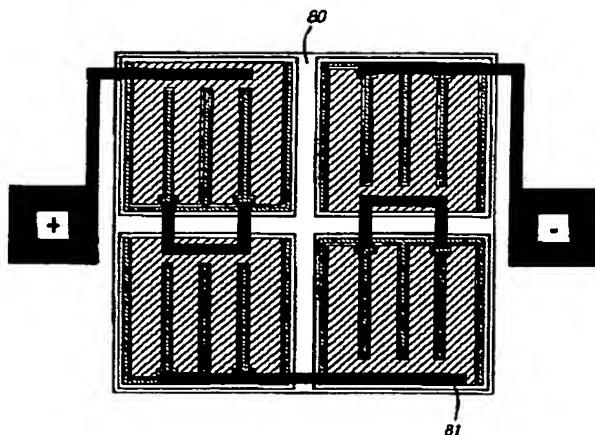
【図7A】



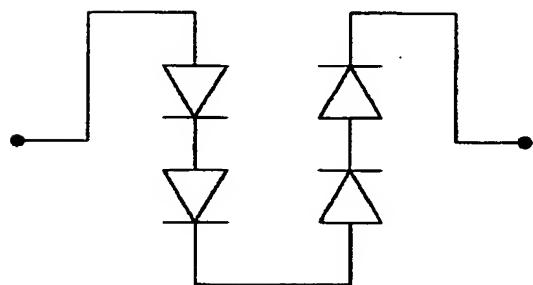
[図 7 B]



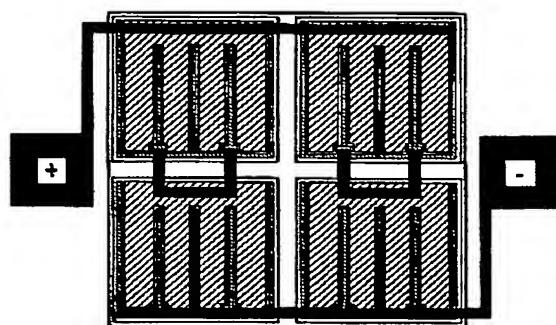
【図 8 A】



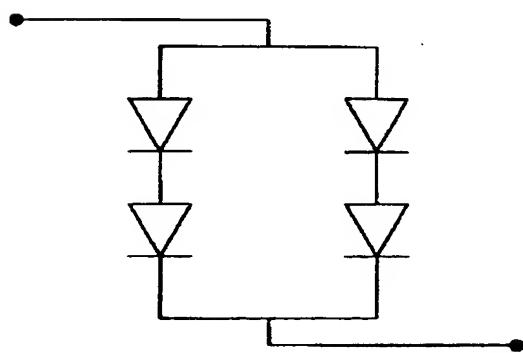
[图 8 B]



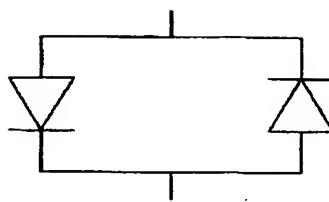
【図9A】



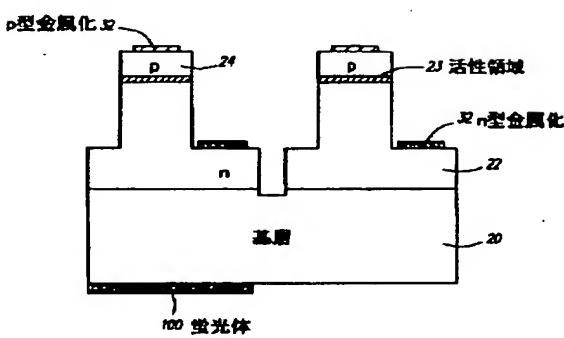
【图 9 B】



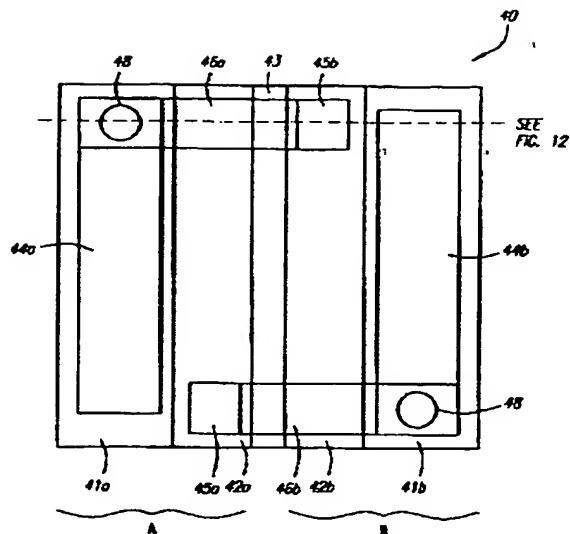
[図10]



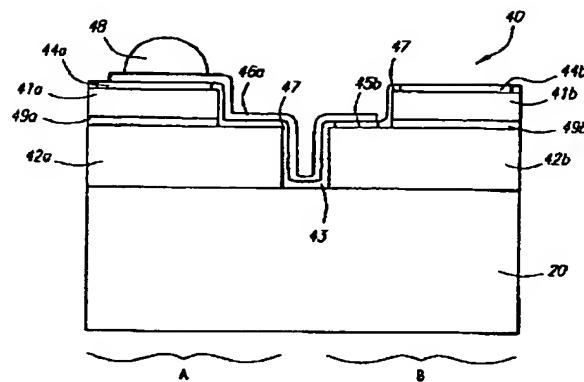
[图 15]



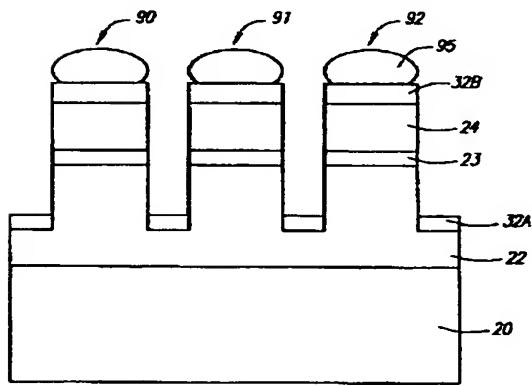
【図11】



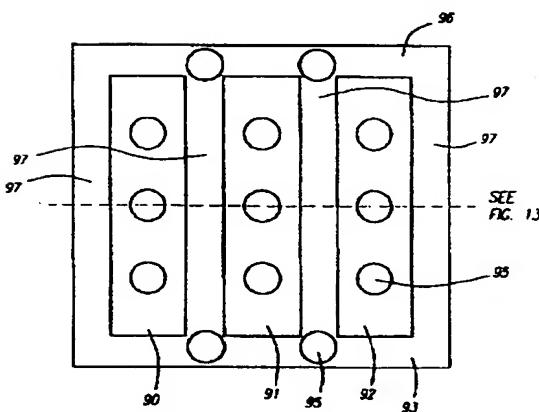
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 ジェローム チャンドラ バット  
アメリカ合衆国 カリフォルニア州  
94131 サン フランシスコ ウォレン  
ドライヴ #301 470  
(72)発明者 ダニエル アレクサンダー スティガーウ  
オルド  
アメリカ合衆国 カリフォルニア州  
95014 クーパティーノ ロックウッド  
ドライヴ 10430-ビー

F ターム(参考) 4M104 AA04 BB02 BB04 BB05 BB06  
BB08 BB09 CC01 DD15 DD16  
DD17 DD18 GG04  
5F033 GG02 HH08 HH09 HH11 HH13  
HH14 0009 0037 RR03 RR04  
RR06 RR08 VV00  
5F041 AA12 AA21 AA42 CA04 CA05  
CA12 CA34 CA40 CA46 CA49  
CA65 CA66 CA71 CA74 CA75  
CA93 CB11 CB25 CB36 EE25